



АРХИТЕКТУРА НА 80x86 ПРОЦЕССОРИТЕ НА INTEL

Компютърни архитектури
упражнения

Микропроцесор 8086 (1978)

- **16 bit** вътрешна архитектура /**16 битови Регистри**/;
- **16 bit** външна магистрала за данни;
- **20 bit** адресна магистрала, директно адресиране на 1MB адресно пространство;
- За първи път Intel развива стратегията за **сегментация** на **адресното пространство**;

Микропроцесор 8086

- Четири **16 bit** програмно достъпни регистри, наречени сегментни регистри;
- Без промяна съдържанието на сегментните регистри е възможно да се адресира до 256 KB памет;
- Един работен режим по отношение на достъпа до паметта и изпълнението на приложения, наречен “**реален**” режим **/Real Mode/**.

Микропроцесор 80286(1982)

- При този процесор се въвежда нов режим за достъп до паметта - псевдо-едновременно изпълнение на повече от една задача, наречено “**защитен режим**” /**Protected Mode**/;
- Съдържанието на сегментните регистри се интерпретира като **селектор или индекс** за таблица от специализирани структури от данни за описание на сегментите – сегментни дескриптори.

Микропроцесор 80386(1985)

- Въвеждат се **32 bit** вътрешни регистри, които се използват както за съхранение на операнди, така и за реализиране на **32 bit** адресен механизъм за достъп до паметта;
- Наред с реалния и защитния режим се въвежда нов режим, наречен **“Виртуален 8086” / “virtual-8086 mode”** или **“V86”** .

Микропроцесор 80386

- **32 bit** адресна магистрала, осигуряваща физическото адресиране на 4GB адресно пространство и сегментен достъп до паметта при максимален размер на сегмента 4GB;
- Въвеждане на **32 bit** операнди и адресни форми, както и на нови инструкции за битови операции;
- Въвежда се нов метод за управление на паметта – **странициране**.



Микропроцесор 80386

- **80386** поддържа странициране с фиксиран обем на страницата **4KB**;
- Паралелната обработка е намерила своето приложение в архитектурата на 80386;
- При **80386** процесът на изпълнение на инструкции се декомпозира до 6 фази, за които са предвидени 6 функционални блока;

Микропроцесор 80486(1989)

- При **80486** Блока за декодиране на инструкции и Блока за изпълнение на инструкции са обобщени в един микро-архитектурен модул, **наречен конвейер с пет нива**;
- Всяко ниво от конвейера се обработва независимо и паралелно по отношение на останалите нива, съхраняващи инструкции в различни фази на изпълнение.



Микропроцесор 80486

- Всяко ниво от конвейера завършва текущата фаза от изпълнението на инструкцията в рамките на един цикъл. По този начин 80486 може да изпълни **една инструкция за един машинен цикъл**;
- В архитектурата на **80486** е вградена **8KB кеш памет**.

Микропроцесор 80486

- За първи път се въвежда поддържане на **вторична /външна/ кеш памет**, както и допълнителни управляващи сигнали, контролни битове и инструкции, свързани с многопроцесорния режим;
- При **80486** за първи път се интегрира в чипа **функционален блок за математически операции с плаваща запетая /FPU – Floating Point math Unit/**

Pentium процесори(1993)

- През 1993 година **Intel** представя процесор **Pentium**, който 5 пъти превъзхожда процесор i486. В **Pentium** са задействани 3,1 млн. транзистора, обезпечаващи бързодействие от 90 млн. операции в секунда
- През 1995 година е представен процесор **Pentium Pro** — първият представител от семейството на процесорите **Intel** на основата на архитектура P6



Pentium Pro

- Динамично изпълнение на инструкции
- **Вторична кеш памет** с обем 256KB
- Процесорът съдържа 5.5 млн транзистора и 15,5 млн транзистора за вторичната кеш памет
- Първият с честота **150 MHz** се появява в началото на 1995, а още до края на годината се появяват процесори с честота 166, 180, 200MHz, при който кеша достига размер 512KB

Pentium процесори MMX(1997)

- През 1997 година **Intel** представя технологията **MMX(Multi Media eXtention)** — нов набор команди, специално разработена за повишаване производителността на мултимедийните средства;
- Въвеждат се **8 64-битови** регистри(появява се възможност за различно използване на регистрите на FPU, **4 нови типа данни** и **57** допълнителни инструкции.

Pentium процесори MMX(1997)

- **Паралелна**(едновременно) обработка на различни единици от данни (**SIMD** — Single Instruction Multiple Data);
- **64-битовата** дума може да съдържа както 1 операнд, така и 8 еднобайтови, 4 двубайтови, или 2 четибайтови операнда;
- Процесор Pentium с технология MMX съдържа 4,5 млн. транзистора.



Pentium II

- През 1997 година **Intel** представя нов процесор — **Pentium II**;
- Той съдържа 7,5 млн. Транзистора;
- **Pentium II** поддържа технологията DVD;
- **Intel** предлага процесори **Pentium II** за мобилни **PC**.

Pentium процесори

- През **1998** година е представен поредният процесор **Intel Celeron**. Същата година излиза и **Pentium II Xeon**, специално разработен за сървъри от среден и висок клас, а също и за работни станции;
- **Intel Pentium III** – процесор с архитектура P6, включва: динамично изпълнение на командите, системна шина с множествени транзакции и технология **MMX за обработка на мултимедийни данни**; нови потокови SIMD разширения - 70 нови команди, обезпечаващи подобряване на възможностите за обработка на изображения, тримерна графика, видео и аудио, а също и разпознаването на реч.

Pentium процесори

- **Pentium III** поддържа кеширане на памет с обем на адресното пространство 4GB, и позволява да се създават мащабируеми системи с два процесора и физическа памет с обем до 64 GB;
- Конвейерния блок за изчисления с плаваща запетая (**FPU**) поддържа 32 и 64-разрядни формати, а също 80-разряден формат;
- Вграденият в кристала диод може да следи за температурата на кристала.

Pentium 4(2000г.)

- Процесорът **Pentium 4** задава ново ниво на производителност на високо мощните микропроцесори;
- Новата микро-архитектура получава название- **NetBurst**;
 - Удвояване на такта на конвейера – ускорява се последователното изпълнение на команди;
 - Прилага се нов вид кеш – съхраняват се вече дешифрирани команди;
 - Удвоена честота на АЛУ;



Pentium D(2005г.)

- Серия двуядрени процесори;
- Построен по микроархитектура **NetBurst**;
- Наличието на две ядра на един кристал води до голямо топлоотделяне и понижена тактова честота;
- Висока себестойност за разлика от Athlon 64 X2 на AMD;
- Не получава популярност.

Intel Core(2006г.)

- Представен е на **5.01.2006г.**
- **Core Duo** е най-добрият процесор от гледна точка на потребление на енергия (по-малко от 25W);
- Първият процесор на Intel, който се използва в компютри на **Apple Macintosh** (първият, включен в Apple Developer Transition Kit, е използвал процесор Pentium 4, но той не се продава и е предназначен за нуждите на разработчиците).



Intel Core Duo

- Intel Core Duo има две ядра;
- 2MB КЕШ 2-ро ниво;
- Шина за управление и контрол над КЕШ 2-ро ниво и системна шина;
- Ядрото на Core Duo съдържа 151 млн. транзистора;
- Конвейер Yonah съдържа 12 степени на предсказване на преходите, работещи на честота от 2.33 до 2.50GHz;

Intel Core Duo

- Обменът на данни между КЕШ 2-ро ниво и ядрата се осъществява посредством **арбитражна шина**;
- Като резултат обмена на данни Ядро – КЕШ се състои от **10 цикъла** (Dothan Pentium M) до 14 такта;
- Компонентите за управление на захранването на ядрата включват **блок за температурен контрол**, който управлява потреблението на всяко ядро;

Intel Core Duo

Недостатъци:

- Слаба производителност на блока за операции с плаваща запетая(FPU)
- Липсва поддържане на **64-bit** (EM64T-Extended Memory 64 Technology) — реализация на 64bit разширение на AMD64 - 80x86 съвместими процесори на Intel;
- Липсва hyper-threading



Intel Core 2 Duo

- **Intel Wide Dynamic Execution** — технология за изпълнение на по-голямо количество команди за всеки такт, повишава ефективността при изпълнение на приложения и намалява потреблението на енергия;
- Всяко ядро може да изпълнява до **4 инструкции** едновременно с помощта на **14 – степенен конвейер**;
- **Intel Advanced Smart Cache** — технология за използване на общата за двете ядра КЕШ памет L2 - понижава се общото енергопотребление и повишава производителността;



Intel Core 2 Duo

- **Intel Smart Memory Access** — технология за оптимизация на работата на подсистемата памет, съкращава се времето за реакция и се повишава пропускователната способност;
- **Intel Advanced Digital Media Boost** – технология за обработка на 128 разрядни команди SSE, SSE2 и SSE3, широко използвани в мулти-медийните и графични приложения за един такт;
- **Core 2 Duo** и **Core 2 Extreme** поддържат технология **EM64T**;

Itanium

- **Itanium** — микропроцесор с архитектура **IA-64**, разработен съвместно от **Intel** и **Hewlett-Packard**;
- За първи път е представен на **29 май 2001г**;
- Производството на **Itanium** е прекратено през **юли 2002г.**, заедно с появата на **Itanium 2**;
- Създателите на **Itanium2** в този момент са съсредоточени в усъвършенстване на многопроцесорни сървъри за работа с често променящи се данни в критично важни комерсиални и технически приложения;

Itanium 2

- Системите на основата на **Itanium** често се предлагат като стандартни за промишлеността алтернатива на **RISC** и **мейнфрейм** система;
- Днес системите на основа на **Itanium 2** са представени, започвайки с дву-процесорни сървъри и blade-сървъри до **512- процесорни** с **128 TB** обща разделяема памет;
- **Itanium2** е разработен специално за представяне на много висока степен на **паралелни изчисления** за достигане на висока производителност без увеличение на честотата;

Предимства на Itanium2

- Изпълнение на **6 инструкции за 1 цикъл**;
- Увеличаване на изчислителните ресурси на ядрата: **256 регистри** (**128** целочислени, **128** за плаваща запетая) и **64** предикатни регистри;
- Голям КЕШ: **24 MB** при дву-ядрената версия(по **12 MB на ядро**), предоставящи данни на всяко ядро със скорост до **48 GB/s**;
- Голямо адресно пространство: **50 – битова адресация** на физическата памет / **64 – битова адресация** на виртуалната памет;

Структура на процесорите 80x86 и Pentium

Микропроцесорът (**CPU – Central Processing Unit**) се състои от 3 части:

- **Управляващо устройство (CU – Control Unit);**
- **Изчислителен блок или аритметично-логическо устройство (ALU – Arithmetic Logic Unit);**
- **Памет от регистри;**

Структура на процесорите

- **Управляващото устройство** е контролната централа на процесора. То прочита отделните инструкции от оперативния регистър и ги изпълнява. Това се извършва в дадения случай с участие и взаимодействие на другите части на процесора.
- **Изчислителния блок** или т.н. **аритметично-логическо устройство** извършва изчислителни операции и логически оценки. Тук се изпълняват основните видове изчисления – събиране, изваждане, умножение и деление. Освен това в тази част се извършват всички логически оценки и връзки.



Структура на процесорите

- **Паметта от регистри** се състои от отделни запомнящи структури, наречени регистри на централния процесор;
- В тях могат да се зареждат данни, подлежащи на обработка в процесора;
- Съдържанието на тези регистри в целия им обхват може да се задава и идентифицира от програмиста;
- Заедно с регистрите на паметта съществуват и други регистри във вътрешността на процесора. Те обаче служат за вътрешни цели и не могат да бъдат повлиявани отвън.

Регистри на процесорите 8088 до 80286

Регистрите се делят на 2 групи:

- Регистри за данни – AX, BX, CX, DX
- Регистри за адреси:
 - Регистри указатели (SP, BP, IP)
 - Индексни регистри (SI, DI)
 - Сегментни регистри (CS, DS, SS, ES)

Регистри на процесорите 80386, 80486 и Pentium

- Програмният модел на процесора включва **8** регистъра с общо предназначение, **6** сегментни регистъра, указател на инструкциите и **флагов** (управляващ) регистър;
- Регистрите от 32-битовия модел **IA-32** са разширение на 16-битовия модел от фамилия Intel.

Регистри с общо предназначение

- Осемте регистъра с общо предназначение имат дължина **32 бита** и съдържат **адреси или данни**;
- Те поддържат **операнди - данни** с дължина **1,8,16,32 бита** и (при използване на **2** регистъра) **64 бита**;
- **Операнди - адреси** с дължина **16 и 32 бита**.
- Тези регистри са **EAX, EBX, ECX, EDX, ESI, EDI, EBP, ESP**. Достъпът до младшите 16 бита на тези регистри, се осъществява независимо от използването на съответните им старши 16 бита;

EAX	AH	AX	AL
EDX	DH	DX	DL
ECX	CH	CX	CL
EBX	BH	BX	BL
ESP		SP	
EBP		BP	
ESI		SI	
EDI		DI	

Акумулатор

Данни

Брояч

База

Стеков брояч

Указател на базата

Индексен регистър за операнд

Индексен регистър за резултат

EIP	IP
Eflags	Flags

Указател на инструкции

Флагове

CS
DS
SS
ES
FS
GS

Програмен сегмент

Сегмент за данни

Сегмент на стека

Допълнителен сегмент

Допълнителен сегмент

Допълнителен сегмент

Регистри с общо предназначение

- Четирите **32-разредни** регистъра **EAX, EBX, ECX EDX**, при процесорите 80386, 80486 и Pentium са предназначени преди всичко за съхранение на данни, но изпълняват още и някои специални функции.
- Регистър EAX (акумулатор) е централен регистър за умножение и деление. За извеждане към входно – изходен канал се използват регистрите AL, AX или EAX.

Регистри с общо предназначение

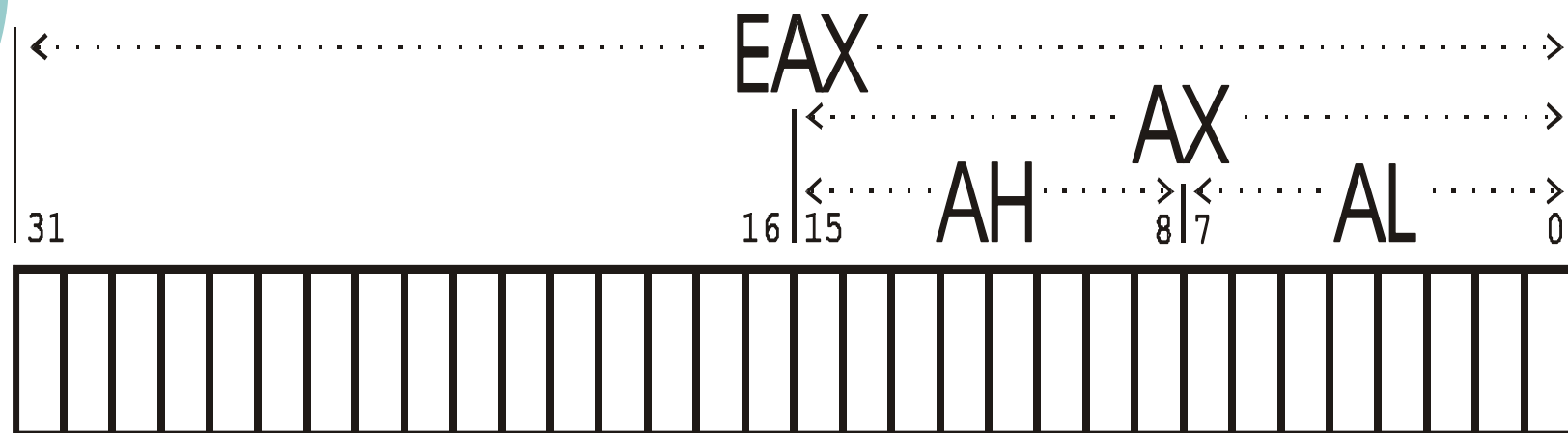
- Регистър **EBX (Base – Register)**, наричан още **базов регистър** е необходим за **пресмятане на адреса** при специален вид адресиране;
- Регистър **ECX (Count Register)**, наричан **броячен регистър** служи като броячен регистър при цикли, в инструкции за преместване наляво, респ. надясно, както и при повторяеми инструкции за низове(може да се използва и CX);



Регистри с общо предназначение

- Регистър **EDX (Data Register)** – регистър за **данни** се използва за пресмятане на адреса при специален вид адресиране;
- Регистрите EDX(DX), свързан с EAX(AX) се използват при умножение или деление;
- Всички 7 регистъра с общо предназначение, с изключение на ESP, могат да се използват като помощтни регистри за различните видове адресиране от високо ниво.

Логическа схема на регистри с общо предназначение



Фиг. 1

Адресни регистри

- **Указател на стека ESP (StackPointer)** - показва **началото на адресния стек** и на **стека за данни**, които се намират в паметта и са необходими при работа с подпрограми;
- **Указател на базата EBP (BasePointer)** се използва както регистър EBX за пресмятане на адрес при специални видове адресиране, свързан с регистъра за стеков сегмент;

Адресни регистри

- Регистър за **първичните индекси ESI (Source Index)** и регистър за **целеви индекси EDI (Destination Index)** – служат за пресмятане на адрес при инструкции за низове;
- **Указател на инструкциите EIP (Instruction Pointer)** показва **адресите** на следващите наредени в опашка инструкции (това го отличава от EBP). Само при инструкции за преход или разклонение в подпрограма, EIP показва адреса на следващата за обработка инструкция

Сегментни регистри

- Това са **16-разрядните регистри CS, SS, DS, ES, FS и GS**.
- Съдържанието на всеки един от тях е **селектор на сегмент** (т.е. селектира, указва сегмент), достъпен за изпълняваната в момента програма. FS и GS се появяват за първи път в микропроцесора Intel 80386.
- В Intel 8086 сегментните регистри съдържат базови адреси на сегменти.

Сегментни регистри

- **CS –кодов сегмент (Code Segment).** Съдържа селектора на сегмент с изпълним код (с команди), изпълняван в момента. По подразбиране се използва (съвместно с регистъра EIP) при извличане на команди и при предаване на управлението (при адресиране на команди).
- **SS – стеков сегмент (Stack Segment).** Съдържа селектора на сегмента със стек, хардуерно поддържан за изпълнявания в момента код. По подразбиране се използва при стекови операции (съвместно с ESP) и при базово адресиране с базов регистър EBP.

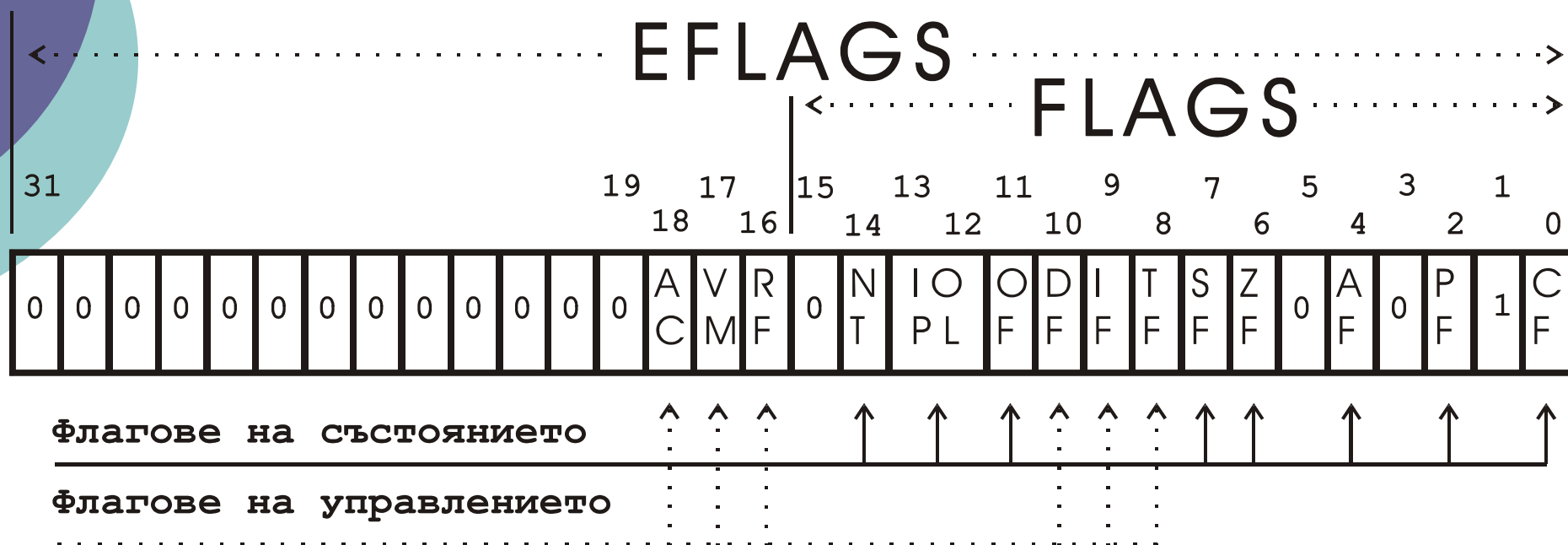
Сегментни регистри

- **DS – сегмент с данни (Data Segment)**- съдържа селектор на сегмент с данни (операнди, интерпретирани като данни) за изпълнявания в момента код, т.е. – по подразбиране се използва при адресиране на операнди. Изключенията от това правило са следните:
- При базово адресиране чрез EBP (т.е. операнд [EBP]) се използва сегментният регистър SS.
- При команди за низове, които по подразбиране работят с ES:[EDI], не може да се избегне използването на ES;
- При команди за достъп до стека (push... и pop...) по подразбиране се използва SS и това на може да се промени.

Сегментни регистри

- **ES – разширителен сегмент (Extended Segment).** В него се намира селекторът на сегмент с допълнителни данни. По подразбиране се използва само в някои команди за низове.
- **FS и GS** – това са допълнителни сегментни регистри, които са предназначени за селекторите на допълнителни сегменти с операнди (данни, интерпретирани като операнди на команди). Използват се единствено чрез модифициращи префиксни байтове към командите.

Флагов регистър *EFLAGS*



Фиг. 2

Флагов регистър

- **CF (Carry Flag)** – съдържа 1, когато при работа с беззнакови операнди е възникнало **препълване**, т.е. резултата не се събира в предвидения за него брой разряди;

Например, при събиране или изваждане (с числа без знак), е възникнал пренос от старшия разряд на резултата или при необходимост от заем към старшия разряд (заем отвън към разрядната решетка);

- **PF (Parity Flag)** – съдържа 1, точно когато младшите 8 бита на резултата съдържат **четен брой единици**.

Флагов регистър

- **AF (Auxiliary carry Flag)** флаг за **спомагателен пренос** - се **установява в 1**, когато при аритметична команда е възникнал **пренос от или заем** към младшата тетрада на резултата, т.е. – пренос от бит 3 към бит 4 или заем от бит 4 към бит 3;
- **ZF (Zero Flag)** – нулев флаг се **установява в 1**, когато резултатът от последната операция е **нула**;
- **SF (Sign Flag)** флаг за **знак** – в него се записва старшият бит на резултата. При работа с числа в допълнителен код, SF получава стойността на знаковия разряд.

Флагов регистър

- **OF (Overflow Flag)** флаг за препълване – съдържа 1, когато при изчисления със знакови операнди има препълване, т.е. – резултатът не би могъл да се побере в предвидения за него брой разряди. Ако OF е установен, знакът е инвертиран, значи се появява фалшив резултат;
- **IOPL (Input/Output Privilege Level)** – част е от механизма на защита, Съдържа минимално ниво на привилегии, при което се разрешава извършването на входно-изходна операция.

Флагов регистър

- **NTF (Nested Task Flag)** – флаг за състоянието на влагане. Използва се в защитен режим. Установява се в 1, когато текущата задача извърши превключване към друга задача с помощта на команда call;
- **RF (Resume Flag)** – флаг за възстановяване на работа. Управлява операциите за настройка на програмата;
- **VM (Virtual Mode)** – флаг на виртуалния режим. Когато е 0, тогава i486 работи в реален или защитен режим. Когато VM=1, тогава i486 емулира програмната среда на Intel 8086;

Флагов регистър

- **TF (Trace Flag или Trap Flag)** – флаг за единична стъпка, който е част от средствата за трасиране. При установяване показва, че процесорът работи в стъпков режим;
- **IF (Interrupt Flag)** – флаг за прекъсване, забрана или разрешаване на маскируеми прекъсвания. Може да се установи или нулира посредством инструкция. Когато $IF=1$, процесорът допуска условия за прекъсване, идващи отвън.

Флагов регистър

- **DF (Direction Flag)** – флаг за посока при низови операции. Може да се установи или нулира чрез инструкция;
- Когато е 0, се изпълнява автоматично увеличаване на указателя (съответния регистър – ESI, или EDI, или и двата) към елемент на низа при низови операции (преход към следващ елемент);
- Когато е 1 – автоматично намаляване (преход към предишен елемент);
- Предполага се, че при разполагането на такива низове в паметта посоката от първи към последен елемент на низа е от по-малък към по-голям адрес.